

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036197

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01S 5/42
G02B 6/122
H01L 23/12
H01L 25/16
H01L 31/02
H01S 5/022
H05K 1/02

(21)Application number : 11-202707

(71)Applicant : CANON INC

(22)Date of filing : 16.07.1999

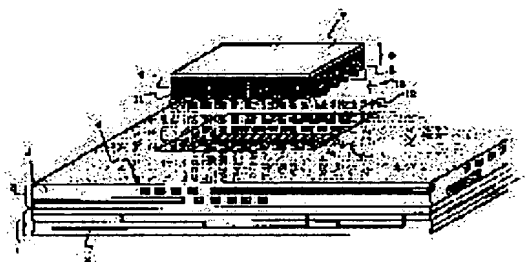
(72)Inventor : ONOUCHI TOSHIHIKO

(54) OPTOELECTRONIC INTEGRATED DEVICE AND DRIVE METHOD THEREFOR, OPTICAL WIRING SYSTEM USING THE DEVICE, AND ARITHMETIC PROCESSOR WITH THE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an optoelectronic integrated element, which is adaptive to optical interconnection and reducible in power consumption and cost.

SOLUTION: This optoelectronic integrated device 6 has, in the same package, an electronic integrated device bare chip and optical device chips 8 and 9 which perform at least a part of the input and output of signals to and from the electronic integrated device bare chip and its element by using light signals. A drive circuit which controls the optical devices 8 and 9 is also integrated in the same package, together with a wiring means between the optical devices 8 and 9.



LEGAL STATUS

[Date of request for examination] 15.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3728147

[Date of registration] 07.10.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-36197

(P2001-36197A)

(43) 公開日 平成13年2月9日(2001.2.9)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 S 5/42
G 0 2 B 6/122
H 0 1 L 23/12
25/16
31/02

H 0 1 S 5/42
H 0 1 L 25/16
H 0 1 S 5/022
H 0 5 K 1/02
G 0 2 B 6/12

2 H 0 4 7
A 5 E 3 3 8
5 F 0 7 3
T 5 F 0 8 8
B

審査請求 未請求 請求項の数22 O L (全 23 頁) 最終頁に続く

(21) 出願番号

特願平11-202707

(22) 出願日

平成11年7月16日(1999.7.16)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 尾内 敏彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100086483

弁理士 加藤 一男

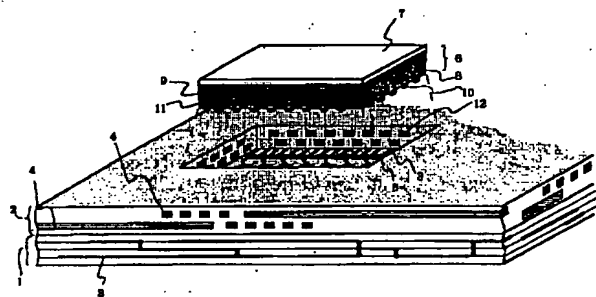
最終頁に続く

(54) 【発明の名称】 光電子集積素子、その駆動方法、該素子を用いた光配線方式、該素子を有する演算処理装置

(57) 【要約】

【課題】 光インターコネクションに対応し、低消費電力化、低コスト化が可能な光電子集積素子である。

【解決手段】 光電子集積素子6は、電子集積素子ベアチップ及びその素子への信号の入出力の少なくとも一部を光信号で行なう光素子チップ8、9が同一パッケージ内に一体化されている。光素子8、9を制御するための駆動回路も光素子8、9との間の配線手段と共に同一パッケージ内に集積化されている。



【特許請求の範囲】

【請求項 1】電子集積素子ベアチップ及びその素子への信号の入出力の少なくとも一部を光信号で行なうための光素子チップが同一パッケージ内に一体化されており、該光素子を制御するための駆動回路も光素子との間の配線手段と共に該同一パッケージ内に集積化されていることを特徴とする光電子集積素子。

【請求項 2】光素子は面型光素子である請求項 1 記載の光電子集積素子。

【請求項 3】光素子のうち発光素子は面発光レーザである請求項 2 記載の光電子集積素子。

【請求項 4】ベースプレート上に電子集積素子ベアチップが固定され、それに近接して配線手段を挟んで光素子が固設されている請求項 1、2 または 3 記載の光電子集積素子。

【請求項 5】ベースプレートの中央部上に電子集積素子ベアチップが固定され、その周りに近接して配線手段を挟んで光素子が固設されている請求項 4 記載の光電子集積素子。

【請求項 6】光素子はベースプレート面に平行な方向で光入出力を行なう様な姿勢で固設されている請求項 5 記載の光電子集積素子。

【請求項 7】光素子と電子集積素子ベアチップの間の領域に、外部電気配線と繋がる為の導電部が露出して設けられている請求項 6 記載の光電子集積素子。

【請求項 8】光素子はベースプレート面に垂直な方向で光入出力を行なう様な姿勢で固設されている請求項 5 記載の光電子集積素子。

【請求項 9】電子集積素子ベアチップの外周領域に、外部電気配線と繋がる為の導電部が露出して設けられている請求項 8 記載の光電子集積素子。

【請求項 10】ベースプレート上に電子集積素子ベアチップが固定され、電子集積素子ベアチップの素子が形成されていない領域上に、配線手段を挟んで、光素子がベースプレート面に垂直な方向で光入出力を行なう様な姿勢で固設されている請求項 4 記載の光電子集積素子。

【請求項 11】電子集積素子ベアチップの素子が形成されている領域上に、外部電気配線と繋がる為の導電部が露出して設けられている請求項 10 記載の光電子集積素子。

【請求項 12】光素子は、アレイ状に並べられて、各素子の独立電極がフリップチップ実装で配線基板に貼り付けられ、該同一パッケージに設けられた構造体に固定して電子集積素子ベアチップと一体化されており、光入射用の窓が該配線基板または該構造体に設けられている請求項 1 乃至 11 の何れかに記載の光電子集積素子。

【請求項 13】配線基板は電子集積素子ベアチップを形成した基板と同一のものであり、該基板上において素子が形成されていない領域に光素子との配線用のパターンと電極が形成され、光素子は該同一基板上にフリップチ

ップ実装されている請求項 12 記載の光電子集積素子。

【請求項 14】光素子は面発光レーザであり、該面発光レーザは、該構造体と配線基板との間にサンドイッチされる形で実装されており、多層膜反射ミラーと活性層を含む共振器層のみ残して半導体が除去されている構造を有する請求項 12 または 13 記載の光電子集積素子。

【請求項 15】パッケージは、電子集積素子ベアチップをベースプレートに接着して、該ベースプレートにおいて該電子集積素子ベアチップの周囲に接着した構造体にはんだボールアレイを配置した BGA (Ball Grid Array) 型であり、該構造体側面に光素子を接着して該パッケージの側方において光の入出射を行なう請求項 1 乃至 7、12 および 14 の何れかに記載の光電子集積素子。

【請求項 16】パッケージは、電子集積素子ベアチップをベースプレートに接着して該ベアチップの表面に形成した樹脂層上にはんだボールアレイを配置した CSP (Chip Size Package) 型であり、該ベースプレートの周囲に接着した構造体において、光素子をはんだボールアレイを配置した面と同じ側の面に接着して、該パッケージの上下方向に沿って光の入出射を行なう請求項 1 乃至 5、8、9、12 および 14 の何れかに記載の光電子集積素子。

【請求項 17】パッケージは、電子集積素子ベアチップをベースプレートに接着して該ベアチップの表面に形成した樹脂層上にはんだボールアレイを配置した CSP 型であり、該電子集積素子ベアチップの基板上に光素子をフリップチップ実装して、該パッケージの上下方向に沿って光の入出射を行なう請求項 1 乃至 4 および 10 乃至 14 の何れかに記載の光電子集積素子。

【請求項 18】光素子が面発光レーザである請求項 1 乃至 17 の何れかに記載の光電子集積素子の駆動方法において、面発光レーザの駆動は該駆動回路の出力段の CMOS バッファのオン・オフで直接行ない、レーザの駆動電流の調整は直列に挿入した抵抗で行なうことを特徴とする駆動方法。

【請求項 19】電気配線基板上に光導波路を形成した層を積層した光電気混載配線基板に、請求項 15 記載の光電子集積素子を実装する光配線方法において、両者間の電気接続ははんだボールを介して行ない、光接続は、該光電子集積素子の光素子のある位置に合わせて該光電気混載配線基板の光導波路側面に設けられた光入出射端における垂直入出射で行ない、該光電子集積素子と該光電気混載配線基板間での信号の授受を電気と光混在で行なうことを特徴とする光配線方法。

【請求項 20】電気配線基板上に光導波路を形成した層を積層した光電気混載配線基板に、請求項 16 または 17 記載の光電子集積素子を実装する光配線方法において、両者間の電気接続ははんだボールを介して行ない、光接続は、該光電子集積素子の光素子のある位置に合わ

せて該光電気混載配線基板の光導波路上面に設けられた光入出射端において垂直入出射し、その下部に設けられたミラーを用いて該光導波路の導波と結合することで行ない、該光電子集積素子と該光電気混載配線基板間での信号の授受を電気と光混在で行なうことを特徴とする光配線方法。

【請求項 21】電気配線基板の両面に光導波路を形成した層を積層した光電気混載配線基板の両面に、請求項 15、16 または 17 記載の光電子集積素子を複数実装する光配線方法において、両者間の電気接続はんだボールを介して行ない、光接続は、該光電子集積素子のある位置に合わせて該光電気混載配線基板の光導波路上面に設けられた光入出射端における垂直入出射で行なう場合にはその下部に設けられたミラーを用いて該光導波路の導波と結合することで行ない、該光電気混載配線基板の導波路側面に設けられた光入出射端における垂直入出射で行なう場合にはそのまま導波させるとともに、該電気配線基板の一部に光が透過できるスルーホールを設けておいて該光電気混載配線基板の両面の光導波路間での光信号の接続をも行ない、該光電子集積素子と該光電気混載配線基板間での信号の授受を電気と光混在で行なうことを特徴とする光配線方法。

【請求項 22】請求項 1 乃至 17 の何れかに記載の光電子集積素子は大規模中央演算装置 (MPU)、ランダムアクセスメモリなどの集積素子であり、該集積素子と光電気混載配線基板との間を請求項 19、20 または 21 に記載の光配線方法を用いて配線して構成したことを特徴とする演算処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子機器を構成する光電子集積素子に関し、特には、信号のやり取りを光インターコネクションを含む電気・光混在或は光で行なうための光素子と電子集積素子の光電子集積素子、その駆動方法、光電気混載基板と該素子間の配線方法等に関する。

【0002】

【従来の技術】近年、情報処理、ディスプレイ、プリンタなどを含めたコンピュータ環境の高速化に伴い、高速 LSI (large scale integration) の開発が進んでいる。それに連れて、LSI チップ内、IC (integrated circuit) ボード内、MCM (multi-chip-module) 内、スーパーコンピュータにおけるバックプレーンなどの高速接続から、ボード間、コンピュータ間、周辺機器や AV (audio-visual) 装置との間などの電子機器の接続において、電気配線による信号遅延、発熱、EMI (電磁放射ノイズ) の発生などの問題が表面化している。しかし、その対策は難しく、近い将来、電気配線の限界が見えてくるのは明らかである。

【0003】電気配線で発生する問題を解決するため、ボード内においてランパス方式のマイクロストリップラインを用いた基板や、ボード間において振幅の小さい差動信号 (LVDS: low voltage differential signaling) をシールド線で伝送する方法が開発されつつある。前者のランパス方式では 400MHz オーバーの信号伝送が達成されており、次期 PC (personal computer) に導入することになっている。しかし、配線の仕方、LSI 側の実装やピン配置などに制約がある。よって、チップのコストアップ、長い配線には向かない、多ビット配線ではクロストークを避けるために高密度化に限度があり基板が大きくなるなどの問題がある。また、後者では LVDS を用いた高速シリアル伝送 (~1Gbps) が実用化されているが、インタフェース IC やケーブルが高価なことから使用範囲は限られている。

【0004】一方、これら電気配線の限界をクリアする方法として、光インターコネクション技術が開発されつつある。光インターコネクションは、IC などからの電気信号を E (電気) / O (光) 変換し、変換された光信号をボード内に形成された光配線 (光導波路など) を通じて他の IC あるいはボードの受光器に伝送し、今度は O / E 変換をして電気信号に戻して信号のやり取りをするものである。この方式は、電気配線の場合のような寄生容量による信号遅延、グラウンドの不安定性からくる信号劣化、配線から放射される EMI の放射などがなく、次世代配線技術として期待されている。この光インターコネクションにおいては、O / E 及び E / O 変換の部分、光導波路の部分が重要であり、如何に効率良くまたコストを低減して電気配線の一部を光配線で代替できるかが課題になっている。

【0005】光配線の例としては、特開平 5-67770 号公報に開示されたもののよう、IC チップのピンの代わりに発光素子が実装された光電子 IC チップを光導波路と反射ミラーを備えた光配線基板に実装するものがある。これを図 13 に示す。光電子 IC チップ 1004 の裏側に発光素子 1011 が備えられ、光配線基板 1001 には傾斜部 1005 があって反射ミラーとし、発光素子 1011 からの光信号が光導波路 (コア) 1008 に結合されて他のチップ 1004 の受光素子 1012 で受光されることを通じて信号のやり取りを行なう。しかし、この例では、光素子 1011、1012 と光導波路 (コア) 1008 間の光結合の仕方についての記述はあるが、電子回路部 1010 と光素子 1011、1012 との具体的な集積方法あるいは駆動方法は記載されていない。尚、1002 は反射膜、1006 は凸部、1007 はシリコン酸化膜である。

【0006】一方、光配線のための光素子の駆動方法についての例としては、特開平 9-96746 号公報に記載があるように、レーザからの出力を平面光導波路で形

成したカップラで信号線の数だけ分けて、電界吸収型の光変調器やマッハツェンダ型の光スイッチなどでE/O変換する方法が公知である。この例を図14に示す。この場合では、図14(b)の説明のように電気配線部と光配線部を独立に設計するので基板が複雑化せず、光素子の駆動用の特別なICを用意する必要がない。よって、従来の電気プリント基板などに光配線部を付加するだけでよいので、電子機器に導入しやすい方式になっている。

【0007】

【発明が解決しようとしている課題】しかしながら、図14の方式では、光配線部を電気回路とは別個に設ければよい反面、厚みが増すために、図13の光電子混載基板に比べると、大型化してしまう。また、多チャネルの場合には、光変調器や光スイッチという高機能素子を複数用意するために、コスト高になり、電気信号から変調器への電極コンタクトの信頼性、実装上の制約、変調器間のクロストークの問題などが生ずる。また、カップラで光を分岐してさらに光変調器等に結合するので、光損失が大きく、レーザの出力パワーを確保するために消費電力が問題になってくる。

【0008】他方、図13の方式では具体的な素子構成や実装方法は不明であるが、光素子と電気素子が同一パッケージ化されており、高集積化により小型化でき、配線などの信頼性も向上すると思われる。しかし、通常の発光素子、例えばLEDや半導体レーザを電流駆動するために消費電力が増大する、光素子用駆動IC付加により集積回路が複雑化するなどの問題を招いてしまうので、実用的ではない。

【0009】そこで、本発明の目的は、光インターコネクションに対応し、低消費電力化、低コスト化が可能で実用的な光電子集積素子の形態、およびその駆動方式、光配線方式などを提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成する本発明の光電子集積素子は、電子集積素子ベアチップ及びその素子への信号の入出力の少なくとも一部を光信号で行なうための光素子チップが同一パッケージ内に一体化されており、該光素子を制御するための駆動回路も光素子との間の配線手段と共に該同一パッケージ内に集積化されていることを特徴とする。これにより、LSIなどの電子集積素子、O/E、E/O変換を行なうための光素子およびその駆動電子回路を同一パッケージ内に収めて、光配線と電気配線を行なう上で小型化、低消費電力化、低コスト化を同時に達成できる光電子集積素子が実現できる。また、配線手段の長さも短くてきて、信号遅延、スキューなどの問題を回避できる。

【0011】以上の基本構成に基づいて以下の如き好適な形態が可能である。光素子を面型光素子とし、特に、光素子のうち発光素子を面発光レーザとすれば、同一パ

ッケージ内での配置や配線が容易にできる。光素子のアレイ化も容易である。また、電気配線基板と光導波路を形成した層を積層した光電気混載配線基板に実装するとき、光素子の光入出射端面部と該光導波路の光入出射端面が容易に正確にアラインする構成を簡単に実現できる。特に、E/O変換を行なうための発光素子を低しきい値の面発光レーザにすることで、低消費電力駆動が可能で光導波路との光結合やアレイ化が容易な光電子集積素子を実現できる。

10 【0012】各素子の配置形態としては次のようなものが可能である。ベースプレート上に電子集積素子ベアチップを固定し、それに近接して配線手段を挟んで光素子を固設する。

【0013】この配置形態で、更に具体的には、ベースプレートの中央部上に電子集積素子ベアチップを固定し、その周りに近接して配線手段を挟んで光素子を固設する形態が可能である。この場合、光素子はベースプレート面に平行な方向で光入出力を行なう様な姿勢で固設できる。この際、光素子と電子集積素子ベアチップの間の領域に、外部電気配線と繋がる為の導電部が露出して設けられ得る。

【0014】この場合、光素子をベースプレート面に垂直な方向で光入出力を行なう様な姿勢で固設することもできる。この際、電子集積素子ベアチップの外周領域に、外部電気配線と繋がる為の導電部が露出して設けられ得る。

【0015】また、ベースプレート上に電子集積素子ベアチップが固定され、電子集積素子ベアチップの素子が形成されていない領域上に、配線手段を挟んで、光素子がベースプレート面に垂直な方向で光入出力を行なう様な姿勢で固設されている配置形態も可能である。この場合、電子集積素子ベアチップの素子が形成されている領域上に、外部電気配線と繋がる為の導電部が露出して設けられ得る。

【0016】更により具体的には、光素子は、アレイ状に並べられて、各素子の独立電極がフリップチップ実装で配線基板に貼り付けられ、該同一パッケージに設けられた構造体に固定して電子集積素子ベアチップと一体化されており、光入出射用の窓が該配線基板または該構造体に設けられている形態も可能である。この形態では、フリップチップ実装により同一基板上にLSIなどと光素子がハイブリッド集積された、より小型で低コストな光電子集積素子を提供できる。この形態は、光素子が低しきい値の面発光レーザなどの面型光素子である場合に好適な形態である。

【0017】また、更により具体的には、配線基板は電子集積素子ベアチップを形成した基板と同一のものであり、該基板上において素子が形成されていない領域に光素子との配線用のパターンと電極が形成され、光素子は該同一基板上にフリップチップ実装されている形態も採

り得る。この形態では、光素子をLSIなどを作製した同一基板上にフリップチップ実装することで、より小型で低コストなE/O、O/E変換部を持つ光電子集積素子を実現できる。この場合、LSIなどを作製した基板上で電子回路が形成されていない領域に、電子回路の出力段と光素子を接続するための電極配線および電極パッドを形成して、その電極パッドに光素子をフリップチップ実装することで、より小型で低コストな光電子集積素子を実現できる。

【0018】また、光素子は面発光レーザであり、該面発光レーザは、前記構造体と配線基板との間にサンドイッチされる形で実装されており、多層膜反射ミラーと活性層を含む共振器層のみを残して半導体が除去されている構造を有し得る。この形態では、化合物半導体基板が含まれないので、より小型で、しかもAsやPの含有量が少ない環境安全性の高い光電子集積素子を提供できる。この場合、上記面発光レーザをフリップチップ実装等で配線基板またはパッケージに接着するための構造体に接着した後に、面発光レーザを構成したGaAs、InPなどの化合物半導体基板を除去して、現れた表面にも再び加工と接着を行い、レーザの機能層を他の物質で挟むような構成にすることで、より小型で、環境安全性の高い光電子集積素子を実現できる。

【0019】また、パッケージは、電子集積素子ベアチップをベースプレートに接着して、該ベースプレートにおいて該電子集積素子ベアチップの周囲に接着した構造体にはんだボールアレイを配置したBGA(Ball Grid Array)型であり、前記構造体側面に光素子を接着して該パッケージの側方において光の入出射を行なう形態も採り得る。ここでは、上記パッケージの電気接続部分をBGA型にして、光素子の実装をパッケージの側面とすることで、光・電気接続の両方を行なえる光電子集積素子の好適なパッケージ構造を提供できる。この場合、BGAの電気接続のためのはんだのリフロー工程でパッケージを光電気混載配線基板に実装すれば、光素子と光導波路との光結合もセルフアラインで垂直光入出射が可能であり、光・電気接続の両方を同時に好適に行なえる。

【0020】また、更により具体的には、パッケージは、電子集積素子ベアチップをベースプレートに接着して該ベアチップの表面に形成した樹脂層上にはんだボールアレイを配置したCSP(Chip Size Package)型であり、該ベースプレートの周囲に接着した構造体において、光素子をはんだボールアレイを配置した面と同じ側の面に接着して、該パッケージの上下方向に沿って光の入出射を行なう形態も採り得る。ここでは、上記パッケージの電気接続部分をCSP型にして、光電気混載配線基板への光素子の実装も電気接続と同じ側にすることで、光・電気接続の両方を好適に行なえる光電子集積素子のパッケージ構造を提供できる。こ

の場合、CSPの電気接続のためのはんだのリフロー工程でパッケージを光電気混載配線基板へ実装すれば、光素子と光導波路との光結合は、セルフアラインで光導波路の光入出射端に垂直入出射させてミラーを介して平面光導波路に結合できる。

【0021】また、パッケージは、電子集積素子ベアチップをベースプレートに接着して該ベアチップの表面に形成した樹脂層上にはんだボールアレイを配置したCSP型であり、該電子集積素子ベアチップの基板上に光素子をフリップチップ実装して、該パッケージの上下方向に沿って光の入出射を行なう形態も採り得る。ここでも、上記パッケージの電気接続部分をCSP型にして、光素子の実装も電気接続と同じ側にすることで、光・電気接続の両方を好適に行なえる光電子集積素子のパッケージ構造を提供できる。この場合も、CSPの電気接続のためのはんだのリフロー工程でパッケージを実装すれば、光素子と光導波路との結合は、セルフアラインで光入出射端に垂直入出射させてミラーを介して平面光導波路に結合でき、光・電気接続の両方を同時に好適に行なえる。

【0022】上記目的を達成する光素子に面発光レーザを含む上記の光電子集積素子の本発明の駆動方法は、面発光レーザの駆動は前記駆動回路の出力段のCMOSバッファのオン・オフで直接行ない、レーザの駆動電流の調整は直列に挿入した抵抗で行なうことを特徴とする。ここでは、上記面発光レーザのオン・オフ駆動をLSIなどの出力段のトランジスタでスイッチングすることで行い、電源電圧に対して抵抗と面発光レーザが直列に接続されて、その抵抗値で面発光レーザの電流量を決定する。従って、特別な回路上の変更がなく、低コスト、低消費電力の光電子集積素子の駆動方法を提供できる。

【0023】上記目的を達成する光電気混載配線基板に上記のBGA型のパッケージの光電子集積素子を実装する光配線方法は、両者間の電気接続ははんだボールを介して行ない、光接続は、該光電子集積素子の光素子のある位置に合わせて該光電気混載配線基板の光導波路側面に設けられた光入出射端における垂直入出射で行ない、該光電子集積素子と該光電気混載配線基板間での信号の授受を電気と光混在で行なうことを特徴とする。電気配線用の多層配線基板と光導波路を積層して一体化させ、この光配線方法で電気・光の接続・配線を行い、低コストな光電気混載配線基板への光電子集積素子の実装を行なうことができる。そして、高速信号を低EMIで伝達できる電子機器用のMCM(マルチチップモジュール)等を提供できる。

【0024】また、上記目的を達成する光電気混載配線基板に上記のCSP型のパッケージの光電子集積素子を実装する光配線方法は、両者間の電気接続ははんだボールを介して行ない、光接続は、該光電子集積素子の光素子の位置に合わせて該光電気混載配線基板の光導波

路上面に設けられた光入出射端において垂直入射し、その下部に設けられたミラーを用いて該光導波路の導波と結合することで行ない、該光電子集積素子と該光電気混載配線基板間での信号の授受を電気と光混在で行なうことを特徴とする。これによっても、電気配線用の多層配線基板と光導波路を積層して一体化させ、上記の光配線方法で電気・光の接続・配線を行い、低コストな光電気混載配線基板への実装を行なうことができ、高速信号を低EMIで伝達できる電子機器用のMCM等を提供できる。

【0025】また、上記目的を達成する、電気配線基板の両面に光導波路を形成した層を積層した光電気混載配線基板の両面に、上記のBGA型あるいはCSP型のパッケージの光電子集積素子を複数実装する光配線方法は、両者間の電気接続ははんだボールを介して行ない、光接続は、該光電子集積素子のある位置に合わせて該光電気混載配線基板の光導波路上面に設けられた光入出射端における垂直入射で行なう場合にはその下部に設けられたミラーを用いて該光導波路の導波と結合することで行ない、該光電気混載配線基板の導波路側面に設けられた光入出射端における垂直入射で行なう場合にはそのまま導波させるとともに、該電気配線基板の一部に光が透過できるスルーホールを設けておいて該光電気混載配線基板の両面の光導波路間での光信号の接続をも行ない、該光電子集積素子と該光電気混載配線基板間での信号の授受を電気と光混在で行なうことを特徴とする。これによっても、電気配線用の多層配線基板と光導波路を積層して一体化させ、上記の光配線方法で電気・光の接続・配線を行い、低コストな実装を行なうことができ、高速信号を低EMIで伝達できる電子機器用のMCM等を提供できる。

【0026】また、上記目的を達成する演算処理装置は、上記の光電子集積素子が大規模中央演算装置(MPU)、ランダムアクセスメモリなどの集積素子であり、該集積素子と光電気混載配線基板との間を上記の光配線方法を用いて配線して構成したことを特徴とする。これにより、上記光電子集積素子、駆動方法、光配線方法を用いた高速、低EMIの演算処理装置を提供できる。

【0027】ここで、本発明の特徴を一具体例を用いて説明する。低消費電力で簡単な駆動系で発光できる面発光レーザをSi-LSIと同一パッケージ内に収め、電気の接続と光の接続を同時に実現できる図1のような光電子集積素子6および光配線層2と電気配線用の多層基板1が一体化した光電気混載配線基板の例を用いて説明する。光電子集積素子6の実装はBGA型パッケージにおけるはんだボール10で行い、このときパッケージの側面に配置された光素子アレイ8および9は光配線層2の入出射端12との位置合わせが同時にできるようになっている。ここでは、導波路4の側面から光の入出射を行なうので、反射ミラーが必要のない構造になっている。

【0028】面発光レーザは、動作電流3mAで100μW程度の出力が得られ、図7(a)、(b)に示したようなCMOSバッファによりオン/オフするという簡単な回路構成で十分駆動できる。従って、今までのLSIの出力段のMOSトランジスタに抵抗と面発光レーザを直列に同一パッケージ内で接続することで構成できるので、LSIの回路構成の変更などは殆どなく、非常に低コストで光電気混載の配線が実現できる。ここで、レーザが100μWの出力で受光器の最低受信感度が-25dBmとすれば、15dBの光損失まで許されることになり、ボード内の近距離の接続においては十分なマージンであると考えられる。その他に、図8のように光の入出射を基板に対して垂直に行なう方法や、図11のように両面に実装する方法もある。

【0029】

【発明の実施の形態】以下に、本発明の実施の形態を図面を参照しつつ説明する。

【0030】[第1実施例] 本発明は、典型的には、VLSIベアチップなどのICチップとその信号伝達のための光素子を同一パッケージ内に収めて、光導波路と電気配線基板が一体化したボードにこのパッケージを装着し、光/電気の混合配線を行なって信号伝達の高速化、低EMI化、低消費電力化を図るものである。その実施例を図1に第1実施例として示す。

【0031】図1の構成は、多層配線プリント基板上1に多層光配線層2が積層されて光電気混載配線基板が形成されており、カバー11に光を透過できるような窓を設けてBGA型のパッケージの側面に発光素子9と受光素子8をアレイ状に一体化した光電子集積素子6を、上記光電気混載配線基板の光配線層2を一部除いて形成された凹部に装着して用いるものである。従って、この素子6は電氣的接触を凹部下側で垂直方向に取り、光学的結合を凹部側面で水平方向に取るようになっている。図1において、7は、光素子8、9の駆動回路を含むICチップを載せるためのベースとなる熱伝導性のよいプレートであって、例えばAlやCuが用いられ、必要であればその上部にフィン(図4参照)などの放熱手段を設ける。

【0032】この光電子集積素子6をプリント基板1に装着するには、素子6の下方の電極部にアレイ状に並べたハンダボール10と基板1の対応する電極5をアライメントして、フリップチップ実装を行なう。この際、ハンダボール10のリフロー時のセルフアライン効果で、歩留まり良く位置決めできる。より位置決め精度を上げたい場合には、光電子混載素子6の下方にピンを設けてプリント基板1側に設けたガイド(不図示)に差し込む様にしてもよいし、BGAの代わりにPGA(Pin Grid Array)型のパッケージにして、基板1側にソケットを設けて差し込む様にしてもよい。

【0033】この様にして電氣的接触を得ながら光電子

集積素子6をプリント基板1上に装着すると、セルフアライン的に基板1上部に設けた光配線となる光導波路4の入出射端面12(上記凹部の側面に現れている)と発光素子9と受光素子8の対応する光入出射端面部が対向して面実装態様の位置決めができ、光結合を水平方向に行なえる。電気信号は多層配線基板1に設けられた電気配線3を通して、他の素子や電源と接続される。光信号も光導波路4による光配線を通して他の素子との間でやり取りされる。

【0034】このように電気と光を混合した配線では、例えば、素子への給電ラインや比較的遅いロジック信号やアナログ信号を電気配線3で行い、高速のクロックパルスやロジック信号を光配線4で行なうなどの割り振りにすればよい。図1におけるボール10の数および光素子8、9の数は一例であり、これより多くても少なくてもよい。

【0035】電気配線用の多層配線基板1は、汎用的なPCB基板以外に、ポリイミド基板、AlNなどのセラミック基板でもよい。一方、光配線用の光導波路層2は、フッ素化PMMAやエポキシ樹脂、ポリイミドなどの樹脂で形成するのが簡便でよい。その作製方法を図2に沿って簡単に説明する。

【0036】図2(a)に示す様に、電気配線用基板1上にまずクラッドとなる樹脂21をスピナーなどで塗布後に硬化させる。その後、図2(b)に示す様に、コアとなる屈折率の若干高い層22を塗布して、ホトリソグラフィとエッチングを用いて導波路の形状(例えば、断面 $30\mu\text{m} \times 30\mu\text{m}$)にして配線パターンを形成し、さらにクラッド23で埋め込む。多層にする場合には、CMP(chemical mechanical polishing)による平坦化工程を経て、図2

(c)に示す様に、さらに同様に光導波路24を形成してクラッド25で埋め込む。このとき、2列のアレイ状にする場合には、図2(c)のように互い違いの位置にすることによりクラッド23が薄くてスペース効率が上がる。2層の場合、全体の光導波路層21~25の厚さは約 $200\mu\text{m}$ となった。

【0037】導波路の材料としては他にも色々あり、低損失材料としてシリカガラスを用いてもよい。この場合、Pをドーブしたシリカガラス(PSG)を用いると、加熱することでマストランスポートが起きて表面平坦化できるので、多層光配線層2として作製しやすい。この場合、コア層としてGeをさらにドーブしたGPSGで屈折率制御を行えば光導波路22、24を構成できる。加熱平坦化(リフロー)の温度は通常 800°C 程度と高いので、Siなどの基板に加熱平坦化過程等を経て導波路を形成した後に、導波路層21~25を電気配線基板1に貼り合わせて該Si基板を除去することで、問題なく光電気混載基板1、2が作製できる。図1では、光配線層2は2層になっているが、それ以上の多層

にしてもよいし、1層でもよい。

【0038】この様にして構成した光電気混載ボードの全体イメージの例を図3に示す。図3において、30は上記で説明した光電気混載基板としてのマザーボード、32は大規模中央演算処理装置(MPU)、31は1次キャッシュメモリ、33はDRAM39が搭載されたMCMがドーターボード(これも上記で説明した光電気混載基板として構成し得る)としてマザーボード30に装着されているものである。MPU31や1次キャッシュメモリ31やDRAM39が図1の光電子集積素子6に該当する様に構成し得る。

【0039】高速ロジックおよびクロック信号は、マザーボード30およびドーターボード33に形成された光導波路34を介して信号伝送されている。電源ラインや低速の信号は、同一ボード30内に構成された電気配線で接続される。光コネクタ35および光導波路シート36を用いて他のボードと光信号の状態で接続することもできる。光導波路シート36はバスラインとしてパラレルに信号転送するために用いている。

【0040】また、マザーボード30とドーターボード33の光接続は、マザーボード30のドーターボード用差込口に 45° ミラー(不図示)を形成することで行なっている。光配線をバスとして使用する場合には、光減衰を補うために接続部に光アンプを挿入するか、ボードにリピータとして機能する発光素子を設置するかすればよい。

【0041】ハードディスクドライブのような外部記憶装置との信号のやり取りは、コネクタ38およびケーブル37を用いてシリアル高速転送することがケーブルの低コスト化につながってよい。そこで、コネクタ部38には、パラレル-シリアル変換して 10Gbps 程度のレートを可能とする光ファイバ通信に用いる様な送信部を装着している。図3にはボードの主要な部分しか書かれていないが必要な回路構成にすることで、クロックレートが 1GHz オーバーの次世代コンピュータを構成することができる。

【0042】このとき、ランパス方式を用いることに比べて配線やピンの制約が少なく、さらに高速で小型化、低消費電力化が可能で、EMI対策が容易なボードを提供することができる。また、コンピュータに限らず、最近の電子機器、例えば携帯電話、デジタルカメラなどではより高速化、小型化が要求されており、同時に低EMI化が必須となっているために、本発明による光電気混載方式がこれらの機器にも非常に有効になる。

【0043】次に、本実施例による光電子集積素子6の構造を図4を元に説明する。図4(a)は断面図を表し、図4(b)は光素子部の部品を分解して構成を説明する斜視図である。基本的にはBGAタイプのパッケージになっており、Cu板でできたベースプレート40の中央部にSi-LSI41の裏面が接着されている。ま

た、ハンダボール10を載せる電極をプレート45に形成し、Si-LSI41の表面電極との配線はインナーリード43で行なっている(図4(b)の断面ではインナーリード43は光素子46、47の電極と繋がっているが、適当なインナーリードはプレート45を貫いてハンダボール10と繋がっている)。42はBGA電極を構成するプレート45やインナーリード43を支持するための台座であるが、熱伝導性の良い Al_2O_3 、 AlN などのセラミックか金属を用いており、ベースプレート40とインナーリード43に接着している(インナーリード43は密に或は間隔を置いて並んでいたりと、適当な支持平板上に配列されていたりする)。このときベースプレート40への接着には熱伝導性の良い接着剤を用いている。Si-LSI41と台座42との間は図4

(a)では空間になっているが、ここに樹脂などを埋め込んで固めてもよい。また、LSI表面保護のために樹脂44でその表面を固めている。Si-LSI41および光素子46、47からの熱はベースプレート40を介して空气中に放熱できるようになっており、必要であれば放熱フィン59をベースプレート40上に接着すればよい。

【0044】サイズは、例えば、Si-LSI41の部分が1cm程度、Si-LSI41と光素子46、47の間の距離が1cm程度であり、取り扱う電気信号の周波数(波長)を考えて、遅延やスキューなどの問題が起きない数値となっている。

【0045】一方、光素子46、47の部分であるが、台座プレート49、面型発光素子47、表面カバープレート51および配線用フレキシブルテープ(TABテープなど)50が図4(b)のような順番でスタックされている。受光素子46も同じ構成になっている。

【0046】この台座プレート49が台座42の側壁に接着されるとともに、TABテープ50の電極55および台座プレート49表面の共通電極が、はんだ48等に対応するインナーリード43と電気的に結合されている。TABテープ50およびカバープレート51の各面型光素子にあたる部分には窓57が設けられており、光の入出射ができるようになっている。この窓57は、単なる穴でもよいし、光の集光作用を持つレンズあるいは光素子保護用の透明プレートが嵌め込まれたものでもよい。光素子46、47への電流注入或は電圧印加は、発光部52(受光素子46の場合は受光部)側のリング状電極53とTABテープ50のリング状電極54を貼り合わせ、配線56を介して各発光部52(或は受光部)に対して独立に行なうことができる。

【0047】ここで、プレート49、51およびTABテープ50の素材は光素子の熱放散のために熱伝導性が高いものが望ましく、プレート49、51は金属か Al_2O_3 セラミック薄膜、TABテープ50は Al_2O_3 粉末入りのポリイミドフィルムなどを用いる。面型発光

素子47としては発光効率の良い面発光レーザを用いた。また、面発光レーザでは光の放射角が 10° 以下と小さいので、レンズなしでも低損失で光導波路4との光結合が可能である。

【0048】通常、面発光レーザは、活性層を含む共振器をDBR(Distributed Bragg Reflector)ミラーでサンドイッチした構造をn基板上にエピタキシャル成長し、発光部だけに電流が流れるような狭窄構造を形成したものであり、図4(b)の符号47で示すように簡単に2次元アレイ化できる。ここでは、GaAs基板上にAlAs/AlGaAs多層膜エピミラーを成長し、GaAs/AlGaAsの多重量子井戸活性層を持つ830nm帯の面発光レーザを使用した。

【0049】この場合、共通電極はカソードになり、独立駆動するための電極53はアノードになっている。この面発光レーザを駆動するためのE/O変換部の概念図を図7(b)に示す。LSI41の最終段の電極につながる部分には、通常、ピンからの電流駆動ができるようにCMOSバッファインバータ71が構成されている。しかし、本発明では、この最終段の構成を変えることなしに、ピンを出すかわりに面発光レーザ72でE/O変換して光出力にしてしまうものである。CMOSバッファの駆動電流能力は通常10mA以下であるが、ここで使用した面発光レーザはしきい値が約1mA、100μW出力時の動作電流は3mAと非常に低いので、十分この能力で駆動することができる。面発光レーザ72に3mAの電流を流すときの動作電圧は約2.5Vであるため、3.3V-CMOS71の場合には直列抵抗Rとして、 $(3.3 - 2.5) / 3 \times 10^{-3} = 267 \Omega$ の抵抗を挿入すればよい。この抵抗Rは、図4(b)におけるTABテープ50の配線56中に挿入(58で示す)するか、インナーリード43中に挿入(不図示)すればよい。しかし、この系ではカソードコモンで動作させるためにCMOS71のpチャネルのスイッチング時間が効いてきて、高速化には限界がある。

【0050】これに対して、図7(a)のようにアノードコモンタイプにすればCMOS71のnチャネルのスイッチング時間が効いてきて、更なる高速化が図れるメリットがある。そのため、本発明では、面発光レーザのn基板を除去してn側を電極分離することでアノードコモン化する技術も開発している。その作製方法を図5に示す。

【0051】図5は、簡略化のため、2個のみの面発光レーザのアレイの断面を示している。図5(a)において、n-GaAs基板60上に、エッチストップ層となるn-AlAs層(不図示)、コンタクト層となるn-GaAs(不図示)を成長してから、n-AlAs/AlGaAs多層膜ミラー61、アンドープのGaAs/AlGaAs多重量子井戸活性層とAlGaAs層から

なる1波長共振器層62、p-AlAs/AlGaAs多層膜ミラー63を有機金属気相成長法などでエピタキシャル成長する。その後、電流狭窄層66を形成するためにリング状にエッチングを行なって凹部67を形成してから、SiN_xなどの絶縁膜64を発光領域部を除いて成膜して電極65を形成する。

【0052】次に、図5(b)において、台座プレート49の全面電極(不図示)に、p側の電極65全体をAuSnハンダによってに接着してから、GaAs基板60を研磨および化学的エッチングにより除去する。このとき、エッチャントはH₂O₂とNH₃の混合液を用いており、GaAs基板60上に成長してあるAlAs層でエッチングを止めることができる。その後、すぐにHClによってAlAs層を除去してミラー61最下面に成長しているGaAs層を露出させる。続いて、図5

(c)において、表面に露出しているミラー層61の素子間部分を硫酸系のエッチャント等でウェットエッチングして分離溝68を形成し、n側の電極53を窓部52を形成しながら成膜する。

【0053】次に、表面カバープレート51に電極54付きTABテープ50を貼り付けて穴57を開けたものの電極54と面発光レーザ47の電極53同志をやはりAuSnはんだなどで接着する。すると、窓部57から光を取り出せるアノードコモン型面発光レーザが作製できる。

【0054】また、作製方法の若干の違いで、図6のような形態も作製できる。この場合、図4の構成と若干構成が異なって、配線用のTABテープ50が台座プレート49側から出る構造になっている。図6(a)において、図5(a)の場合と同様に面発光レーザ構造を作製するが、光をpミラー層63側から取り出すために、電極65には光取り出し用の窓70を開けておく。また、p側を石英ガラス板69にエレクトロンワックスなどで貼り付けておく。

【0055】図6(b)において、図5(b)の場合と同様にGaAs基板60を除去して電極53を形成する。そして、台座プレート49にTABテープ50を貼り付けてTABテープ上の電極54とレーザの電極53を接着する。このとき、こちら側から光は取り出さないために窓を開ける必要はない。これらの作業をやり易くする為に、p側を上記石英ガラス板69に貼り付けるのである。

【0056】図6(c)において、石英ガラス板69を取り外し、ここに表面プレート51を取り付ける。このように、GaAs基板60を除去した構成では、レーザ光を発振させる機能層が2つの構造体49、51にサンドイッチされている。これら構造体に熱伝導性の高い物質を用いれば、よりレーザ特性を向上できる。また、As含有率を大幅に下げられるので環境安全性も高くなる。

【0057】ところで、面型発光素子として発光ダイオードを使用することもできるが、動作電流は30mA程度と1桁大きくなり、消費電力が高くなるとともにドライバ部分の工夫が必要になる。また、面型受光素子については詳しく触れなかったが、構成や作製方法は類似している。エピタキシャル成長および拡散プロセスを実行してGaAsのpin構造を作製している。材料はSiやInGaAsでもよい。

【0058】また、以上では830nm帯の例を示したが、他の波長帯、すなわちInGaAsによる0.98μm帯やInGaAsPによる1.3μm帯などでも勿論よい。

【0059】[第2実施例] 本発明による第2の実施例は、図8のように光電子集積素子81の光素子82、83の光入出力を光電気混載配線基板に対して垂直方向に行なうものである。そのため、光導波路86には図8

(b)のように45度ミラー88を設けて、光電気混載配線基板に入出射端87から結合した光は水平方向に光導波路86を伝播し、水平方向に光導波路86を伝播して入出射端87から光電子集積素子81に結合する光は垂直方向に出るようになっている。導波路86の構成は第1実施例と同様で良いが、本実施例では1層の光配線層80としている。

【0060】一方、ベースプレート7上に形成された光電子集積素子81は、図8(a)のように中央部に電気接触のためのボールアレイ10があるμ-BGA(またはCSP:Chip Size Package)型になっており、周辺部に発光素子82および受光素子83を下向きにアレイ化した構造を有している。光素子82、83には、光入出力のための窓を持つカバープレート84が被せられていて、表面保護をしている。実装の仕方は第1実施例と同様であり、セルフアラインで光素子82、83と光配線層80の入出射端87との位置合わせができるようになっている。配線3を持つ電気配線基板1の電極5とボールアレイ10で接触させる光電子集積素子81の領域は、光配線層80の厚さ(約100μm)の分だけベースとなる部分85が光素子82、83の面より飛び出した構造になっている。はんだボールの大きさが約50μmでリフロー接着後のハンダ部の厚みが約20μmになるので、この突起領域85の高さを100μmとすると光素子82、83と入出射端87の距離は20μmになる。

【0061】このような光電子集積素子の具体的な2つの構造を、図9および図10の断面図に示す。図9の構造では、第1実施例と同様に、面発光レーザ98および面型受光素子97は、台座プレート92上に共通電極(これはインナーリード等の適当な配線でSi-LSI90に接続される)を接着して配置され、光入出射が垂直にできるようにベースプレート91に貼り付けられている。インナーリード93で光素子97、98の分離電

極と Si-LSI90 との配線を行い、カバープレート 99 には窓部 100 を設けてある。配線基板 1 との電気接続を行なうのはんだボール 95 は、ポリイミドなどの絶縁層 96 で形成した台座の上に配置され、絶縁層 96 中に形成されたスルーホール電極 101 を介して LSI90 とはんだボール 95 の配線が行なわれている。また、インナーリード 93 の保護のために絶縁層 96 の周りが樹脂 94 で固められている。

【0062】一方、図 10 の構造では、Si-LSI102 に電子回路のない領域を周辺部に設けておき、LSI102 のペアチップ（ダイス）上に直接光素子 97、98 を実装して、インナーリードをなくしている。図 10 (a) において、図 9 と同じ符号で示すものは同一機能部であることを表す。図 10 の構成でも、カバープレート 99 の縁は、ベースプレート 91 に貼り付けられた構造体 103 で保護され、絶縁層 96 の周りは樹脂 104 で固められている。

【0063】この場合、図 10 (b) に示した拡大図のように、Si-LSI102 上に光素子駆動用の電極配線 105 を形成しておき、光素子を独立駆動できるように光素子電極 54 と電極配線 105 がフリップチップ実装してある。ここで、面発光レーザ 98 は第 1 実施例の図 6 で示した方法で作製されている（図 10 (b) において、図 6 と同じ符号で示すものは同一機能部であることを表す）。ただし、図 10 (b) では、共通電極 65 も光素子中にスルーホール配線 108 を形成して同じ面に取り出して、電極 107 を形成してある。こうして、カソード 105、アノード 106 の両方の接続を行いながら光素子を Si 基板 102 上に実装することで、インナーリード等が一切不要になり、構造やプロセスが簡単で低コスト化が図れるとともに、光素子的高速駆動が可能になる。

【0064】ここでは、面発光レーザの機能層となる部分 98 は、GaAs 基板を除去しているので 5~7 μm 程度と薄くなっている。そこで、表面カバープレート 99 には厚さ数 10 μm の金属膜あるいは Al₂O₃ などの熱伝導性の良い誘電体を貼り付けている。ただし、集積度が大きく光素子のアレイ数が多い素子の場合には、LSI102 との熱干渉の問題から、図 9 の構造か第 1 実施例のように光素子と LSI は分けて近接配置するのがよい。

【0065】〔第 3 実施例〕本発明による第 3 の実施例は、図 11 のように電気配線 3 を持つ多層電気配線基板 1 の両面に光導波路 86 を持つ光配線層 193、194 を設けて、光電子集積素子 81 を両面実装するものであり、これによって基板上への実装密度を上げることができる。配線基板 1 や光電子集積素子 81 の構成は第 1 実施例や第 2 実施例と同様であり、同じ機能を持つ部分には同じ記号を付すか、あるいは記号を省略してある。

【0066】本実施例で特徴的なことは、表面と裏面の

光配線が図 12 のように電気配線基板 1 に開けられたスルーホール光導波路 191 を介して行なえることである。光電子混載素子 81 から出射された光が上部光配線層 193 の導波路 192 を介して該スルーホール 191 を抜けて、下部光配線層 194 に設けられた 45 度ミラー 190 によって光導波路 86 に結合することができる。受光の場合も同様である。スルーホール 191 は単なる空間でもよいし、導波路 192 のコア層と同じ材料を埋め込んだものでもよい。スルーホール 191 の径を 100 μm 程度にしておけば、電気配線基板 1 の厚さが 5 mm 程度であるとき回折や反射による光損失は殆どない。

【0067】このような構造にすることにより、配線の自由度が増し、小型、高密度で EMI 対策が容易な電子機器用の MCM (Multi-Chip-Module) ボードを提供することができる。

【0068】上記の実施例では、電気配線基板を光配線層でサンドイッチした構造になっているが、光配線層の上にさらに多層電気配線層があるという、電気配線層と光配線層が多層に積層された構造でもよい。

【0069】また、光電子集積素子の光素子の光の入出射は上下方向あるいは側方であつたが、斜め方向にして、空間伝播あるいは光導波路チューブ、光導波路フィルム等で他の素子や他のボードとの接続を行なってもよい。

【0070】また、光電子集積素子のパッケージの形態については、上記実施例に限られたものではなく、QFP (Quad Flat Package)、DIP (Dual In-line Package) などあらゆる形態が適用可能である。また、パッケージ内には 1 つの LSI 基板のみ搭載した例を示したが、CSP 実装で 3 次元スタック化した LSI を用いたり、Si 基板上の多層配線技術を用いて 3 次元 LSI を構成したものであってもよい。

【0071】

【発明の効果】以上説明した様に、本発明によって、光インターコネクションを小型、低消費電力、低コストで行なうための LSI などと O/E、E/O 変換部が同一パッケージ化された光電子集積素子を提供することができる。また、光電子集積素子パッケージの配線基板への光・電気接続をセルフアラインで同時に歩留まり高く行なうことができる。また、LSI などの特別な回路上の変更がなく、低コスト、低消費電力の光電子集積素子の駆動方法を提供することができる。更に、小型、高速動作が可能で低 EMI の電子機器用の MCM、高速、低 EMI の次世代演算処理装置などを提供できる。

【図面の簡単な説明】

【図 1】図 1 は本発明による第 1 実施例の光電子集積素子と光電気混載配線基板の分離した状態の斜視図である。

【図 2】図 2 は多層光配線層の作製方法を説明する断面図である。

【図 3】図 3 は本発明による光電子集積素子と光電気混載配線基板を用いて構成した MCM の一例を示す斜視図である。

【図 4】図 4 は本発明による第 1 実施例の光電子集積素子の断面 (a) および光素子部分の構成 (b) を示す図である。

【図 5】図 5 は機能層のみを残した面発光レーザの作製プロセスの一例を説明する断面図である。

【図 6】図 6 は機能層のみを残した面発光レーザの作製プロセスの他の例を説明する断面図である。

【図 7】図 7 は本発明による光電子集積素子の発光素子を駆動する方法を説明する図である。

【図 8】図 8 は本発明による第 2 実施例の光電子集積素子と光電気混載配線基板の分離した状態の斜視図および光導波路の拡大断面図である。

【図 9】図 9 は本発明による第 2 実施例の光電子集積素子の第 1 の構成例の断面図である。

【図 10】図 10 は本発明による第 2 実施例の光電子集積素子の第 2 の構成例である面発光レーザと LSI を同一基板上に配置した構成の断面図および面発光レーザ部分の拡大断面図である。

【図 11】図 11 は本発明による第 3 実施例の光電子集積素子と光電気混載配線基板の分離した状態の斜視図である。

【図 12】図 12 は本発明による第 3 実施例の光電気混載基板の光配線の例を説明するための断面図である。

【図 13】図 13 は第 1 の従来例を説明する図である。

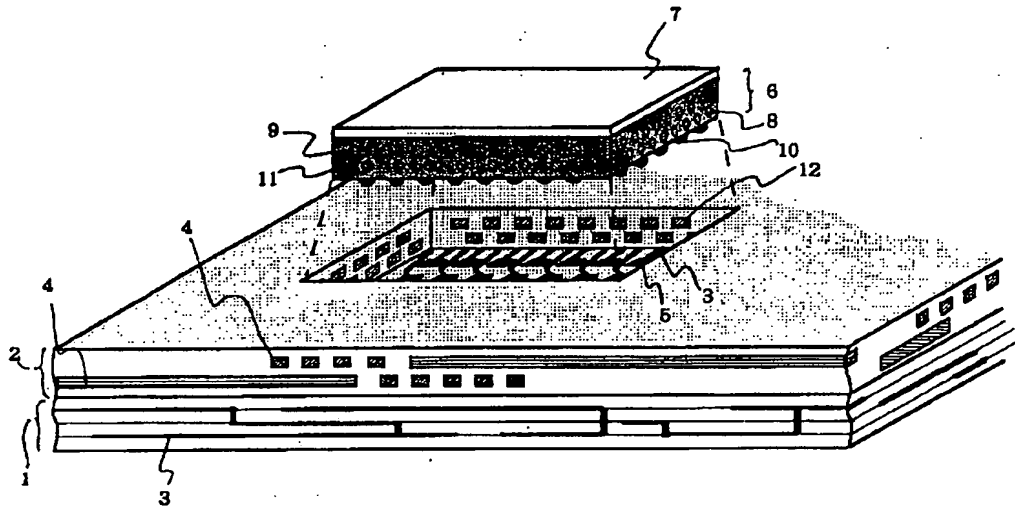
【図 14】図 14 は第 2 の従来例を説明する図である。

【符号の説明】

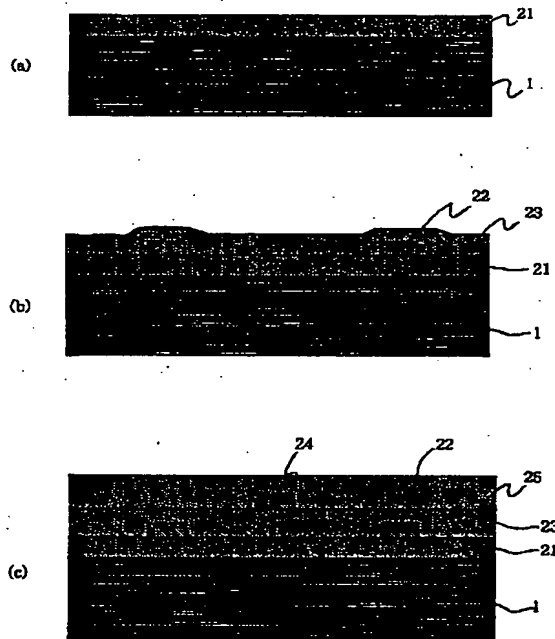
- 1 電気配線基板
- 2、80、193、194 光配線層
- 3、56、105、106 電気配線
- 4、34、86、192、1003 光導波路
- 5 電気配線基板の電極パッド
- 6、31、32、39、81 光電子集積素子
- 7、40、91 ベースプレート
- 8、46、83、97、1012 受光素子
- 9、47、82、98、1011 発光素子
- 10、48、95 はんだボール

- 11、51、84、99 カバープレート
- 12、87 光導波路入射端
- 21、23、25 クラッド
- 22、24、1008 コア
- 30、33 光電気混載基板
- 35、38 光コネクタ
- 36 光導波路シート
- 37 光導波路ケーブル
- 41、90、102 LSI チップ
- 42、92 台座用構造体
- 43、93 インナーリード
- 44、94、104 樹脂カバー層
- 45、85、96 電極パッド用プレート
- 49 台座プレート
- 50 フレキシブル配線基板
- 52、66 発光部
- 53、65、107 素子電極
- 54 配線基板電極
- 55 電極パッド
- 57、70、100 光透過用窓
- 58 抵抗体
- 59 放熱フィン
- 60 半導体基板
- 61、63 反射ミラー層
- 62 活性層および共振器層
- 64 絶縁層
- 67 エッチング部
- 68 素子分離溝
- 69 基板
- 71 CMOS インバータ
- 72 レーザダイオード
- 88、190、1002 反射ミラー
- 101、108 スルーホール配線
- 103 保護用構造体
- 191 スルーホール光導波路
- 1001 光配線基板
- 1004 光電子 IC チップ
- 1005 傾斜面
- 1006 凸部
- 1007 シリコン酸化膜
- 1010 電子回路部

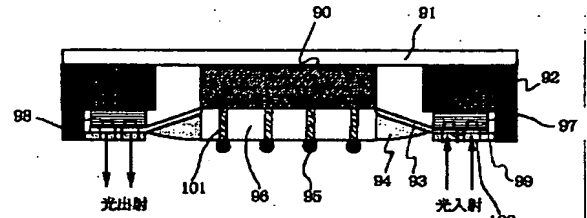
【図 1】



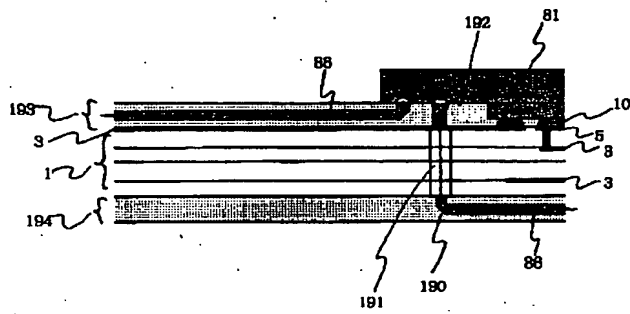
【図2】



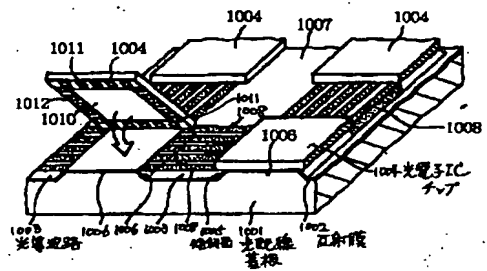
【図9】



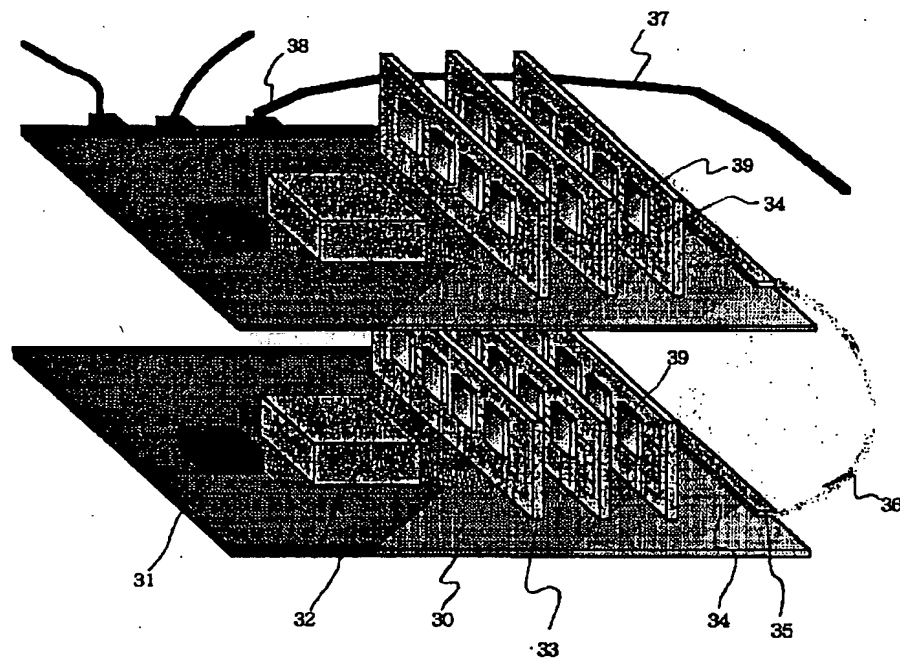
【図12】



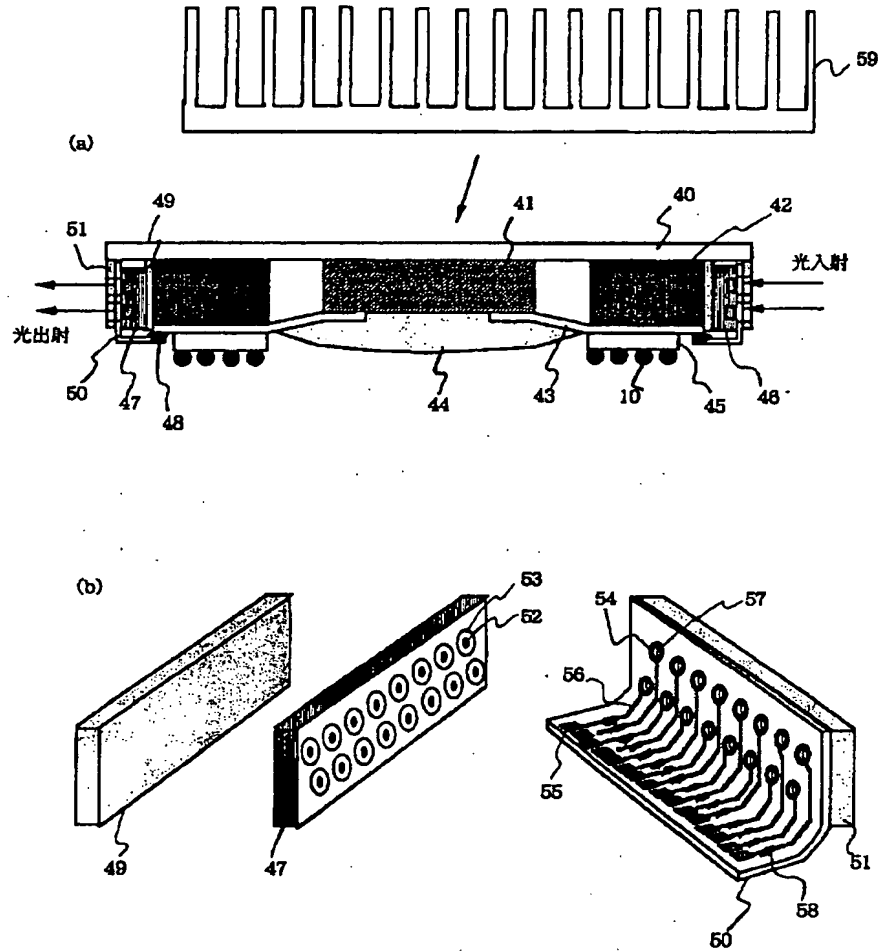
【図13】



【図 3】



【図 4】



【図 5】

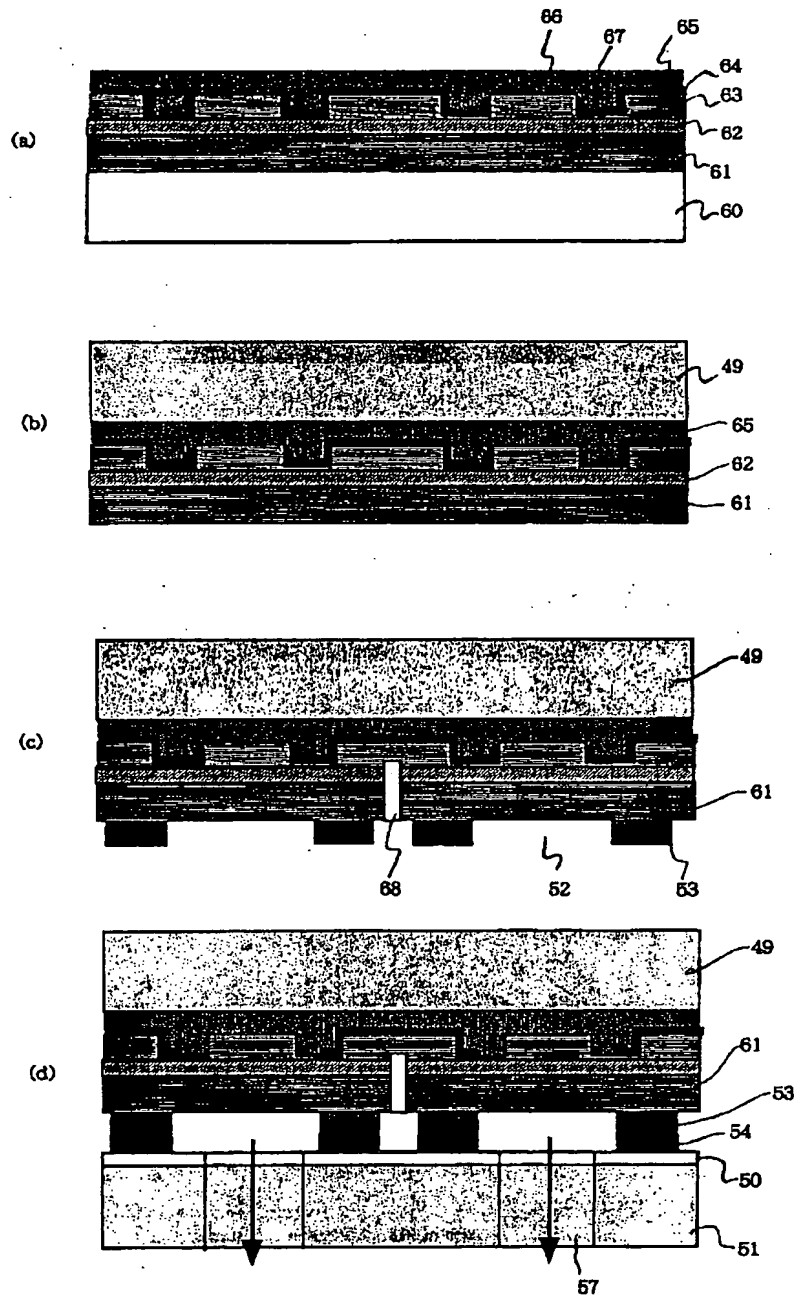
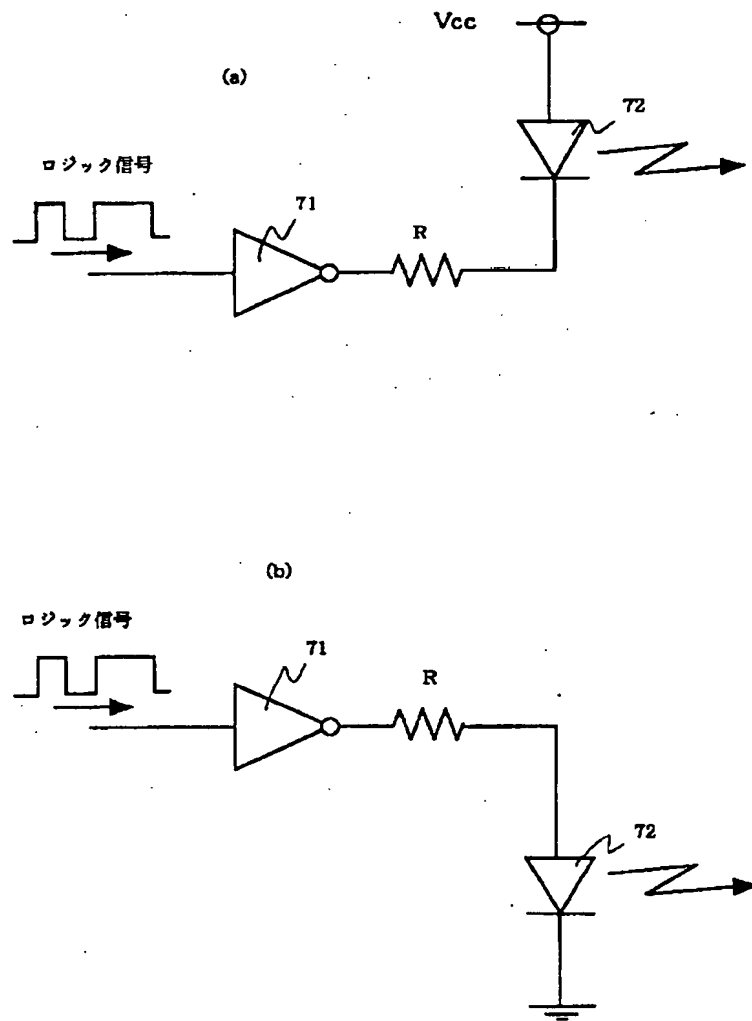


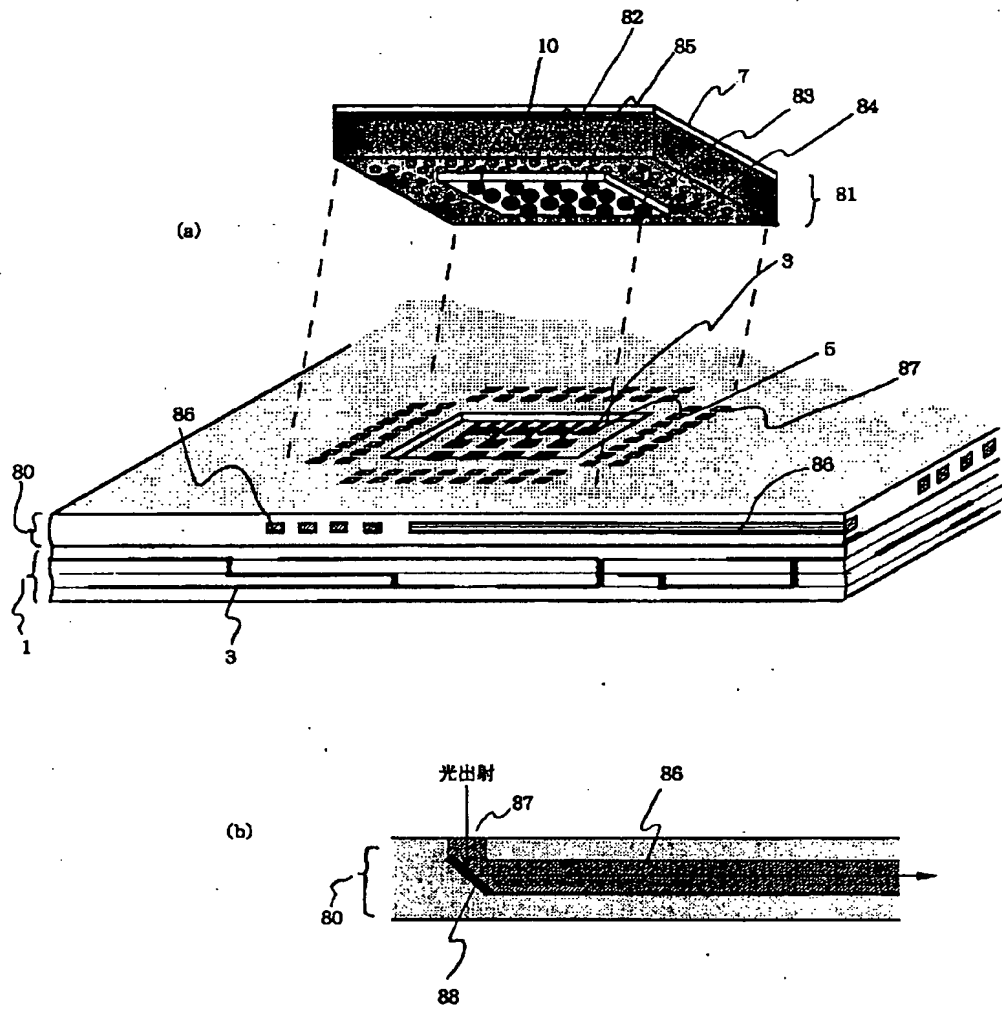
Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c).

- View (a):** Shows a substrate 60 with a thin layer 61 on top. Layer 61 has a patterned layer 62 on top of it. Layer 62 has a patterned layer 63 on top of it. Layer 63 has a patterned layer 64 on top of it. Layer 64 has a patterned layer 65 on top of it. Layer 65 has a patterned layer 66 on top of it. Layer 66 has a patterned layer 67 on top of it. Layer 67 has a patterned layer 68 on top of it. Layer 68 has a patterned layer 69 on top of it. A layer 70 is shown on top of layer 69.
- View (b):** Shows the same structure as (a), but with a layer 49 added below layer 60. A layer 50 is added below layer 49. A layer 53 is added below layer 50. A layer 54 is added below layer 53. A layer 51 is added below layer 54. A layer 52 is added below layer 51. A layer 55 is added below layer 52. A layer 56 is added below layer 55. A layer 57 is added below layer 56. A layer 58 is added below layer 57. A layer 59 is added below layer 58. A layer 60 is added below layer 59. A layer 61 is added below layer 60. A layer 62 is added below layer 61. A layer 63 is added below layer 62. A layer 64 is added below layer 63. A layer 65 is added below layer 64. A layer 66 is added below layer 65. A layer 67 is added below layer 66. A layer 68 is added below layer 67. A layer 69 is added below layer 68. A layer 70 is added below layer 69.
- View (c):** Shows the same structure as (b), but with a layer 51 added below layer 50. A layer 52 is added below layer 51. A layer 53 is added below layer 52. A layer 54 is added below layer 53. A layer 55 is added below layer 54. A layer 56 is added below layer 55. A layer 57 is added below layer 56. A layer 58 is added below layer 57. A layer 59 is added below layer 58. A layer 60 is added below layer 59. A layer 61 is added below layer 60. A layer 62 is added below layer 61. A layer 63 is added below layer 62. A layer 64 is added below layer 63. A layer 65 is added below layer 64. A layer 66 is added below layer 65. A layer 67 is added below layer 66. A layer 68 is added below layer 67. A layer 69 is added below layer 68. A layer 70 is added below layer 69.

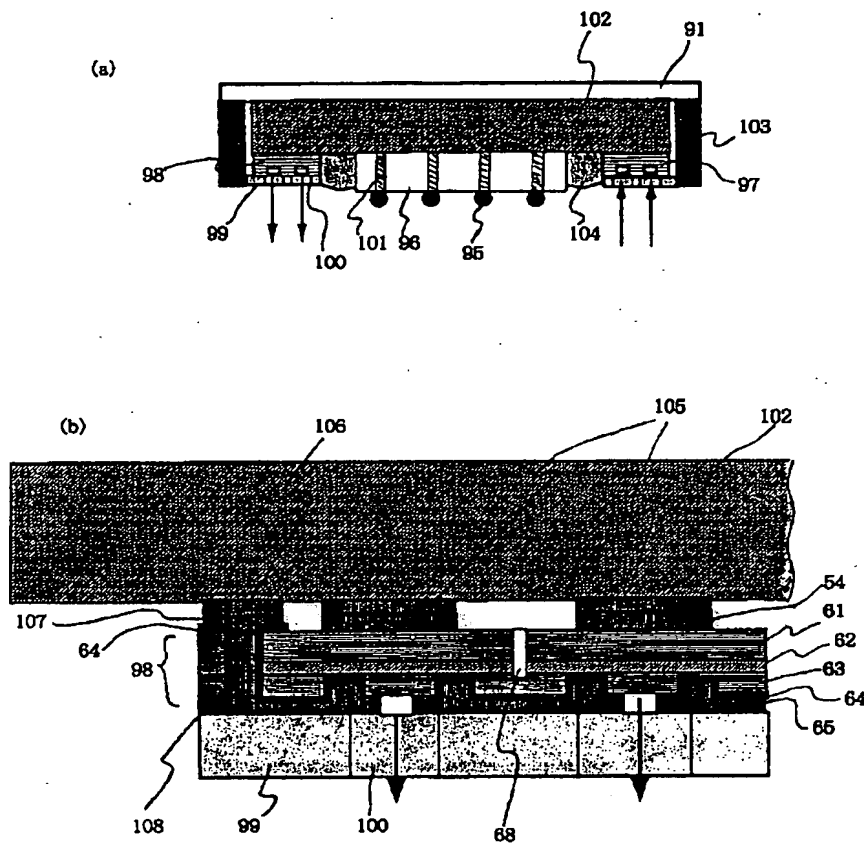
【図 7】



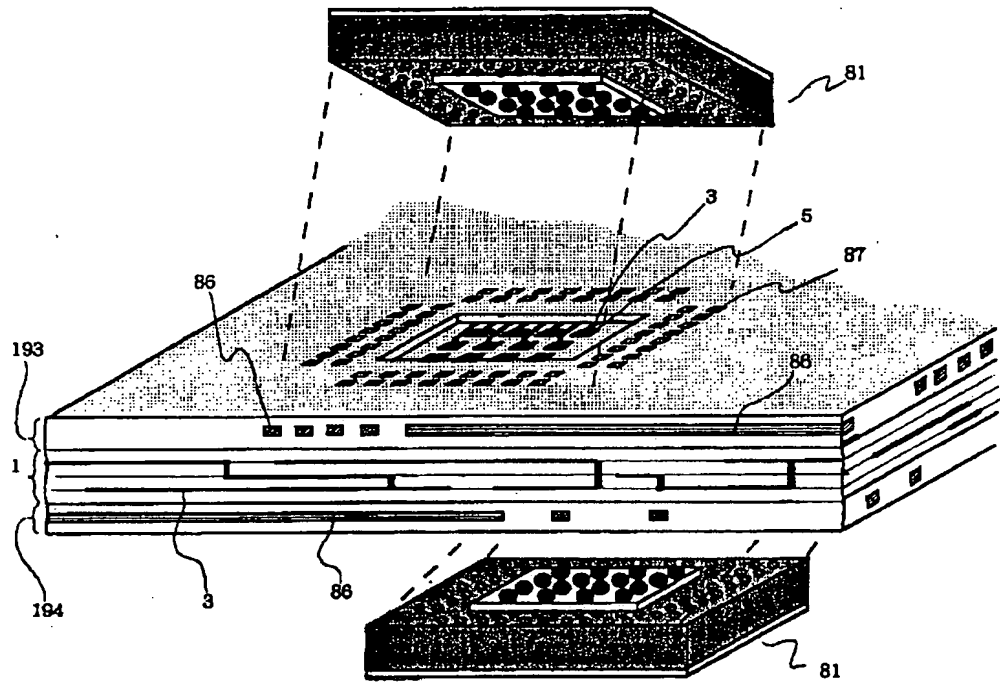
【図 8】



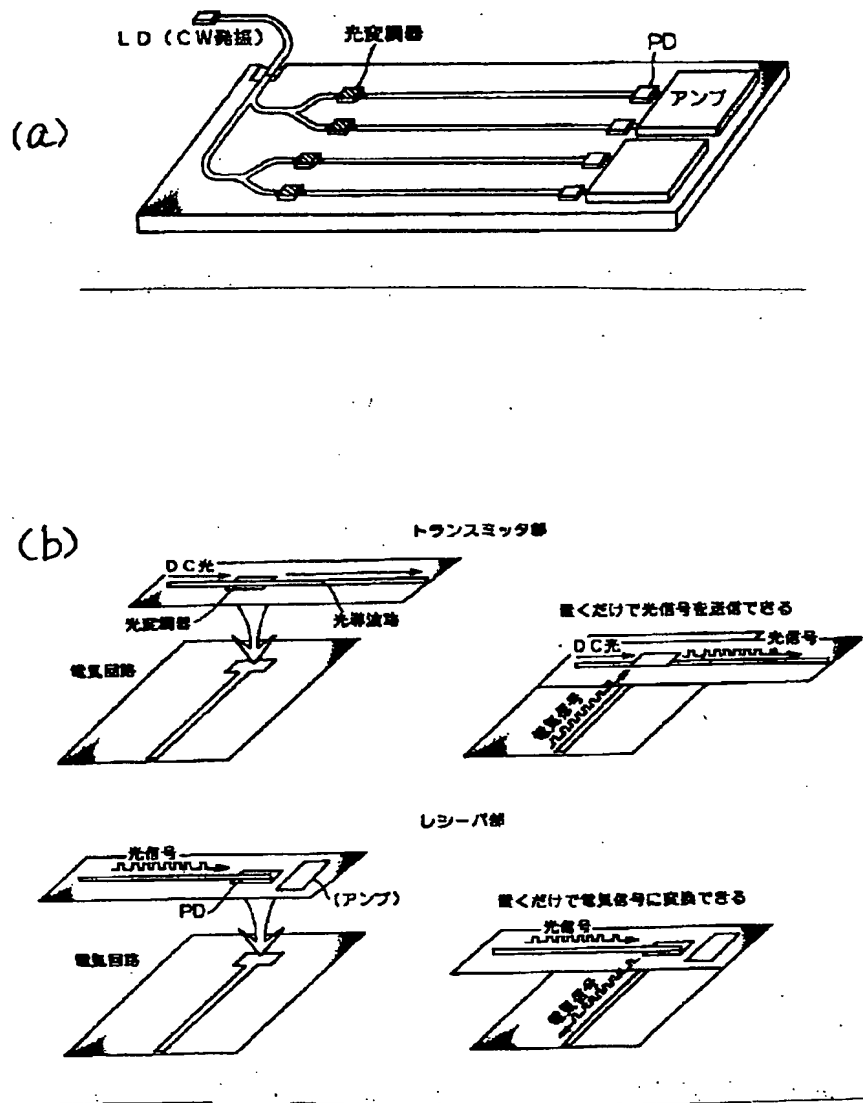
【図 10】



【図 11】



【図14】



フロントページの続き

(51) Int. Cl. ⁷

H 0 1 S 5/022

H 0 5 K 1/02

識別記号

F I

H 0 1 L 23/12

31/02

テーマコード (参考)

L

B

F ターム(参考) 2H047 KA03 KB08 MA07 PA21 PA24
QA04 TA05 TA47
5E338 AA03 BB75 CC01 CC10 EE22
5F073 AA65 AA74 AB02 AB11 AB17
CA04 CB02 DA21 EA14 EA28
FA01 FA14 FA21 FA23 FA30
5F088 AA03 BB10 EA02 EA04 EA09
JA01 JA05 JA11 JA20

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.